

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **03-184369**
 (43)Date of publication of application : **12.08.1991**

(51)Int.CI. **H01L 27/088**
H01L 27/04

(21)Application number : **01-323467**
 (22)Date of filing : **13.12.1989**

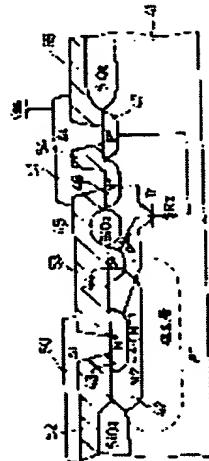
(71)Applicant : **FUJITSU LTD**
 (72)Inventor : **MIYASHITA TAKUMI**

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To obtain a semiconductor device which prevents thermal breakdown of a protection element due to current flow caused by static electricity or excessive voltage by providing a protection element consisting of first to fourth specific regions which are formed on the surface of a substrate.

CONSTITUTION: A semiconductor device with a protection element which is connected to an external lead-out terminal has the protection element consisting of a first region 43 of opposite conductive type which is formed on the surface of one conductive type substrate 41, a second region 42 of opposite conductive type which is formed so that at least one part of the first region 43 may be covered, a third region 44 of one conductive type having a higher impurity concentration than the impurity concentration of the substrate 41, and fourth region 46 of opposite conductive type which is formed through the above first region 43, the second region 42, the third region 44, and an insulation layer 45, thus preventing localization of current flowing through a lateral transistor, enabling current to flow at the deep part of the substrate, and preventing thermal breakdown of the protection element.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

[rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑫ 公開特許公報 (A)

平3-184369

⑤Int.Cl.⁵H 01 L 27/088
27/04

識別記号

庁内整理番号

③公開 平成3年(1991)8月12日

H

7514-5F

7735-5F

H 01 L 27/08

102 F

審査請求 未請求 請求項の数 2 (全4頁)

④発明の名称 半導体装置

②特 願 平1-323467

②出 願 平1(1989)12月13日

③発明者 宮下工 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

④出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑤代理人 弁理士 伊東忠彦 外2名

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 外部導出端子 (10) に接続された保護素子を有する半導体装置であって、

一導電型基板 (41) 表面に形成され、前記外部導出端子に接続された反対導電型の第1の領域 (43) と、

該第1の領域の少なくとも一部を覆うように形成された反対導電型の第2の領域 (42) と、

該第2の領域と一部で接するように形成され、且つ前記基板の不純物濃度よりも高い不純物濃度の一導電型の第3の領域 (44) と、

前記第1の領域、前記第2の領域及び前記第3の領域と絶縁層を介して形成された反対導電型の第4の領域 (46) とからなる保護素子を有することを特徴とする半導体装置。

② 前記保護素子の前記第4の領域 (46) の少なくとも一部を覆うように反対導電型で且つ前記第4の領域の不純物濃度よりも低い不純物濃度の第5の領域 (56) を設けたことを特徴とする請求項(1)記載の半導体装置。

3. 発明の詳細な説明

(概要)

静電破壊及び過電圧破壊防止用の保護素子を有する半導体装置に関し、

外部導出端子に接続された保護素子を有する半導体装置であって、一導電型基板表面に形成され、前記外部導出端子に接続された反対導電型の第1の領域と、該第1の領域の少なくとも一部を覆うように形成された反対導電型の第2の領域と、該第2の領域と一部で接するように形成され、且つ前記基板の不純物濃度よりも高い不純物濃度の一導電型の第3の領域と、前記第1の領域、前記第2の領域及び前記第3の領域と絶縁層を介して形

成された反対導電型の第4の領域とからなる保護素子を有することを特徴とする半導体装置し、また、前記保護素子の前記第4の領域の少なくとも一部を覆うように反対導電型で且つ前記第4の領域の不純物濃度よりも低い不純物濃度の第5の領域を設け構成する。

(産業上の利用分野)

本発明は半導体装置に関し、静電破壊及び過電圧破壊防止用の保護素子を有する半導体装置に関する。

従来よりNMOS又はCMOS半導体集積回路の静電破壊及び過電圧破壊を防止するために半導体集積回路の外部導出端子に第4図を示す如き保護回路が設けられている。

同図中、10は外部導出端子、11は保護されるCMOS回路であり、12a～12e夫々は過電圧印加時に高インピーダンスから低インピーダンスに変化する保護素子、13は過電圧印加時に低インピーダンスから高インピーダンスに変化す

でもゲート酸化膜37はフィールド酸化膜と同時に形成される厚い酸化膜である。アルミ配線30に正の高電圧が印加されるとSCRが導通して電流を流す。

(発明が解決しようとする課題)

第5図のトランジスタが導通した場合、電流は大部分がゲート酸化膜22下部のP+型基板表面を集中的に流れ、その部分で発熱する。第6図のラテラルSCRも導通した場合、電流は大部分がゲート酸化膜37下部のP+型基板を集中的に流れ、その部分が発熱する。上記ゲート酸化膜22、37の熱伝導率はシリコン基板の1/10程度と低いため、加熱されて破壊しやすいという問題があった。

本発明は上記の点に鑑みなされたもので、静電気及び過電圧で流れる電流による保護素子の加熱破壊を防止する半導体装置を提供することを目的とする。

る素子である。

(従来の技術)

従来、上記の保護素子12aとしては第5図に示す厚膜ゲートトランジスタ又は第6図に示すラテラルSCRが用いられている。

第5図中、アルミ配線20が端子10に接続され、アルミ配線21が電源Vss(例えばグランド)に接続される。ゲート酸化膜22はフィールド酸化膜と同時に形成される厚い酸化膜である。アルミ配線20に正の高電圧が印加されるとN+領域23、24をドレイン、ソースとするトランジスタが導通する。

第6図中、アルミ配線30が端子10に接続され、アルミ配線31が電源Vssに接続されるN+型のNウエル32内に形成されアルミ配線30が接続されたN+型領域33及びP+型領域34(アノード)と、P+型基板35と、アルミ配線31が接続されたN+型領域36(カソード)とによってラテラルSCRが形成されている。ここ

(課題を解決するための手段)

本発明の半導体装置は、外部導出端子に接続された保護素子を有する半導体装置であって、

一導電型基板表面に形成され、前記外部導出端子に接続された反対導電型の第1の領域と、

第1の領域の少なくとも一部を覆うように形成された反対導電型の第2の領域と、

第2の領域と一部で接するように形成され、且つ前記基板の不純物濃度よりも高い不純物濃度の一導電型の第3の領域と、

前記第1の領域、前記第2の領域及び前記第3の領域と絶縁層を介して形成された反対導電型の第4の領域とからなる保護素子を有する。

また、前記保護素子の前記第4の領域の少なくとも一部を覆うように反対導電型で且つ前記第4の領域の不純物濃度よりも低い不純物濃度の第5の領域を設ける。

(作用)

本発明においては、第1、第4の領域の間に第3の領域が設けられているため、静電気及び過電圧で上記の各領域と基板で構成されるラテラルトランジスタを流れる電流の極在化が防止され、また第1の領域から基板の深部に空乏層が拡がり電流が基板の深部を流れ、電流による保護素子の過熱破壊が防止される。

(実施例)

第1図は本発明装置の保護素子の一実施例の断面構造図を示す。

同図中、P⁻型基板41上にはN⁻型のNウエル(第2の領域)42が形成され、更にN⁻型領域(第1の領域)43が形成されている。P⁻型基板41表面のNウエル42端部にはP⁺型領域(第3の領域)44が形成され、またフィールド酸化膜45を用いてN⁻型領域(第4の領域)46及びP⁺型領域47が形成されている。

N⁻型領域43はアルミ配線50を通して外部

導出端子10に接続され、N⁻型領域46及び基板コンタクトとしてのP⁺型領域47はアルミ配線51を通して電源Vss(-GND)接続されている。なお、52~55は絶縁層である。

この保護素子の平面構成は第2図(A)に示す如く、N⁻型領域43、P⁺型領域44、N⁻型領域46、P⁺型領域47夫々を矩形状として平行に並べた構成であっても良いし、また周囲(B)に示す如く、矩形状のN⁻型領域43の周囲をP⁺型領域44で囲み、更にN⁻型領域46、P⁺型領域47夫々で順次曲む構成であっても良い。

ここで、外部導出端子10からアルミ配線50に正の高電圧が印加されると、Nウエル42とP⁺型領域44との接合部でアバランシェ降伏が生じ、N⁻型領域43(コレクタ)、P⁺型領域44、P⁻化基板41(ベース)、N⁻領域46(エミッタ)で形成されるラテラルトランジスタTrのP⁻型基板41による抵抗R₁、R₂(R₁ < R₂)に電流が流れる。これによってラ

テラルトランジスタTrのベース・エミッタ間が順方向にバイアスされて導通する。このときN⁻型領域43、46に狭まれたP⁺型領域44により電位が均一化され電流の極在化が防止される。またNウエル42側からP⁻基板41の深部に空乏層が拡がっているため、コレクタ電流の大部分は基板41深部を流れ、基板41表面の集中するところがない。またシリコンの基板41は熱伝導率が高いので過熱による破壊がおこりにくくなる。

なお、Nウエル42と接するP⁺型領域44はアバランシェ降伏を生じやすくなるために設けられたもので、Nウエル42は少なくともN⁻型領域43及びP⁺領域44の一部を覆っていれば良く、またNウエル42を形成しなくとも良い。しかし、Nウエル42を形成した方が電流は基板41の深部を流れ過熱に強い。

また、第3図に示す如くN⁻型領域46の全部又は一部を覆うNウエル(第5の領域)56を形成して、第1図と同様の動作により負の過電圧に

より電流の極在化を防止し過熱破壊をおこりにくくすることができる。

(発明の効果)

上述の如く、本発明の半導体装置によれば、静電気及び過電圧で流れる電流による保護素子の過熱破壊を防止でき、実用上きわめて有用である。

4. 図面の簡単な説明

第1図、第3図は本発明装置の保護素子の各実施例の断面構造図、

第2図は保護素子の平面構成図、

第4図は保護回路の一例の回路図、

第5図、第6図夫々は従来の保護素子の各例の断面構造図である。

図において、

41はP⁻型基板、

42はNウエル、

43, 46はN⁺型領域、

44, 47はP⁺型領域

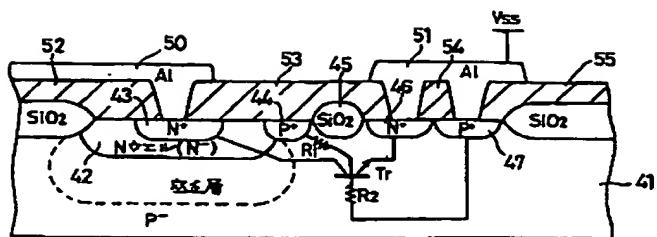
を示す。

特許出願人 富士通株式会社

代理人弁理士 伊東忠彦

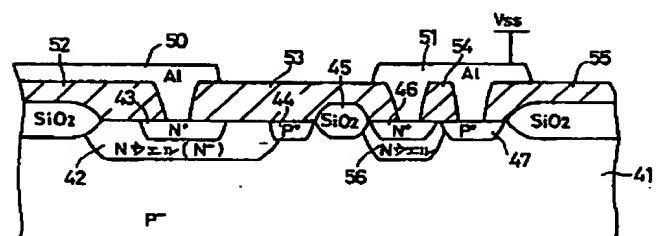
同 弁理士 松浦義行

同 弁理士 片山修平



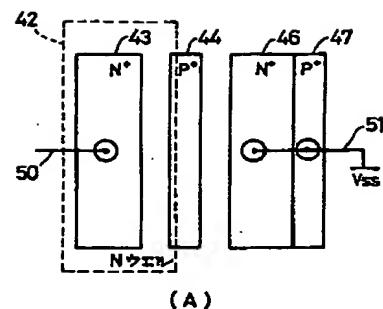
本発明装置の保護素子の断面構造図

第1図

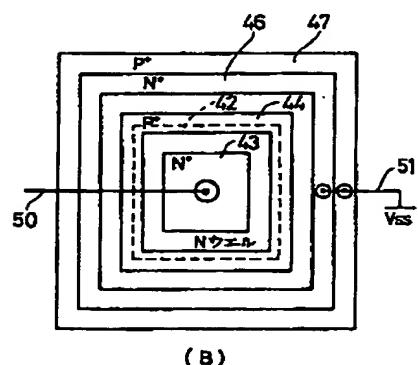


本発明装置の保護素子の変形例の断面構造図

第3図



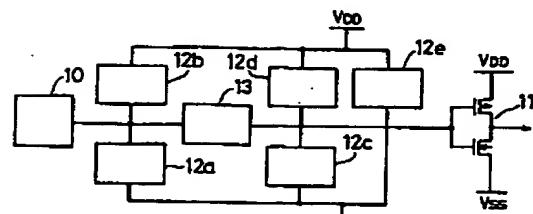
(A)



(B)

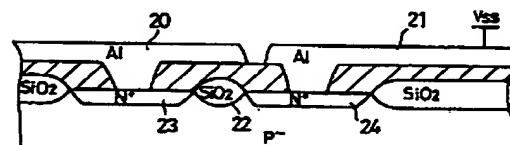
本発明の保護素子の平面構成図

第2図



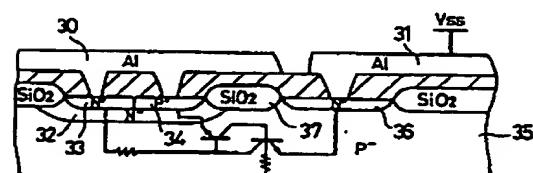
保護回路の回路図

第4図



従来の保護素子の断面構造図

第5図



従来の保護素子の断面構造図

第6図